

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年 12 月 13 日 (13.12.2001)

PCT

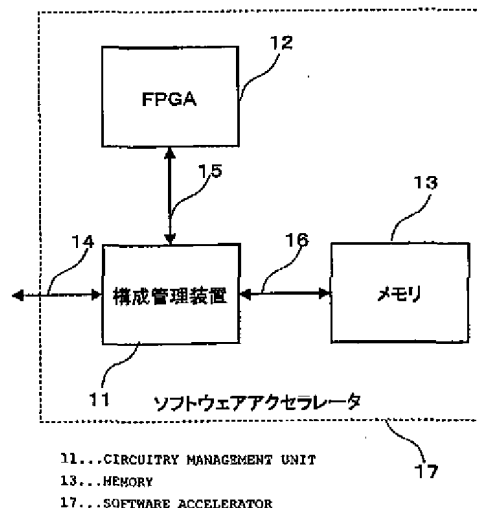
(10) 国際公開番号
WO 01/95099 A1

- (51) 国際特許分類: G06F 9/06, 11/00 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 森本達郎 (MO-RIMOTO, Tatsuo) [JP/JP]. 中田明良 (NAKADA, Akira) [JP/JP]. 須川成利 (SUGAWA, Shigetoshi) [JP/JP]; 〒980-8579 宮城県仙台市青葉区荒巻字青葉05 東北大学大学院工学研究科電子工学科内 Miyagi (JP).
- (21) 国際出願番号: PCT/JP01/04758
- (22) 国際出願日: 2001 年 6 月 6 日 (06.06.2001)
- (25) 国際出願の言語: 日本語 (74) 代理人: 國分孝悦 (KOKUBUN, Takayoshi); 〒170-0013 東京都豊島区東池袋1丁目17番8号 池袋TGホームーストビル5階 Tokyo (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2000-210555 2000 年 6 月 6 日 (06.06.2000) JP (81) 指定国 (国内): JP, KR, US.
- (71) 出願人 および (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (72) 発明者: 大見忠弘 (OHMI, Tadahiro) [JP/JP]; 〒980-0813 宮城県仙台市青葉区米ヶ袋2-1-17-301 Miyagi (JP). 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: SYSTEM FOR MANAGING CIRCUITRY OF VARIABLE FUNCTION INFORMATION PROCESSING CIRCUIT AND METHOD FOR MANAGING CIRCUITRY OF VARIABLE FUNCTION INFORMATION PROCESSING CIRCUIT

(54) 発明の名称: 機能可変情報処理回路の構成管理方式および機能可変情報処理回路の構成管理方法



(57) Abstract: Circuitry management information having circuitry information for altering the circuitry of an FPGA (12) is stored in a memory (13) and a circuitry management unit (11) reads out the circuitry management information from the memory (13) depending on information related to an instruction group supplied externally through a signal line group (14). Circuitry of the FPGA (12) is altered according to the circuitry management information thus read out and processing of the instruction group is executed to convert information processing by software into information processing by hardware in real time thus executing information processing at high rate while shortening the verification time of software and developing a software in a short period with high efficiency.

[続葉有]

WO 01/95099 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

FPGA (12) の回路構成を変更するための回路構成情報を有する構成管理情報をメモリ (13) に記憶し、構成管理装置 (11) により外部から信号線群 (14) を介して供給される命令群に関する情報に応じた上記構成管理情報をメモリ (13) から読み出して、読み出した構成管理情報に従って、FPGA (12) の回路構成を変更して、命令群の処理を実行するようにして、ソフトウェアによる情報処理を、ハードウェアによる情報処理にリアルタイムに置き換えて、情報処理の実行を高速化し、かつ、ソフトウェアの検証時間を短縮して、ソフトウェア開発を短期間化および高効率化することができるようにする。

明 細 書

機能可変情報処理回路の構成管理方式および機能可変情報処理回路の構成管理方法

技術分野

本発明は、機能可変情報処理回路の構成管理方式および機能可変情報処理回路の構成管理方法に関するものである。

背景技術

現在、システム開発等におけるソフトウェア開発においては、きわめて多くの人の労力と長い期間とが必要とされている。その結果、非常に性能の良い部品やシステム等を作る優れた製造技術を持っていたとしても、その製造技術により作られた部品やシステム等を動作させたりするためのソフトウェアの開発に大部分の時間が割かれ、上記部品やシステム等の開発においては、製造してから製品化し出荷、納品等するまでに要する期間等は、結局はソフトウェア開発の迅速さで全てが決まってしまう。

システム開発全体において、そのシステムのソフトウェア開発に多大な労力と時間とを要するということは、きわめて致命的な問題であり、ソフトウェア開発を短期間化および高効率化することが求められている。

そこで、本発明は、システム開発におけるソフトウェア開発を短期間化および高効率化できるようにすることを目的とする。

発明の開示

本発明の機能可変情報処理回路の構成管理方式は、回路構成を定義した回路構成情報に応じて、回路構成が変更可能な機能可変情報処理回路の構成管理方式であって、上記回路構成情報を有する構成管理情報を記憶する記憶部と、上記記憶部に記憶されている構成管理情報の中から、コンピュータ言語で記述された命令群に対応する上記構成管理情報を読み出す情報読み出し部と、上記情報読み出し部により読み出した構成管理情報に従って、上記機能可変情報処理回路の回路構

成を変更し、上記機能可変情報処理回路にて上記命令群の処理を実行する処理実行部とを有することを特徴とする。

本発明の機能可変情報処理回路の構成管理方式の他の態様では、構成管理情報は、回路構成情報に応じた回路構成での入出力信号の制御を定義した入出力制御情報と、回路構成情報を識別する第1の構成識別情報とをさらに有することを特徴とする。

本発明の機能可変情報処理回路の構成管理方式のその他の態様では、情報読み出し部は、第1の構成識別情報に基づいて、記憶部に記憶されている構成管理情報の中から、命令群に対応する構成管理情報を読み出すことを特徴とする。

本発明の機能可変情報処理回路の構成管理方式のその他の態様では、記憶部は、命令群に対して複数の異なる構成管理情報で構成された構成管理情報群を命令群毎に記憶し、情報読み出し部は、記憶部から命令群毎に対応する構成管理情報群を読み出すことを特徴とする。

本発明の機能可変情報処理回路の構成管理方式のその他の態様では、複数の第1の構成識別情報が順序付けられて組となった構成識別情報群と、構成識別情報群を識別する第2の構成識別情報とを有する構成順序情報を記憶する記憶部を有し、情報読み出し部は、記憶部から命令群毎に対応する構成順序情報を読み出し、さらに読み出した構成順序情報に基づいて、順序に従い複数の構成管理情報を読み出すことを特徴とする。

本発明の機能可変情報処理回路の構成管理方式のその他の態様では、処理実行部は、情報読み出し部により構成管理情報を読み出す毎に、読み出した構成管理情報に従って、機能可変情報処理回路の回路構成を変更し、機能可変情報処理回路にて命令群の処理を実行することを特徴とする。

本発明の機能可変情報処理回路の構成管理方式のその他の態様では、機能可変情報処理回路は1つであることを特徴とする。

本発明の機能可変情報処理回路の構成管理方法は、回路構成を定義した回路構成情報に応じて、回路構成が変更可能な機能可変情報処理回路の構成管理方法であって、上記回路構成情報を有する構成管理情報が記憶されている記憶部から、コンピュータ言語で記述された命令群に対応する上記構成管理情報を読み出す情

報読み出しステップと、上記情報読み出しステップにより読み出した構成管理情報に従って、上記機能可変情報処理回路の回路構成を変更して、上記命令群の処理を実行する処理実行ステップとを有することを特徴とする。

本発明の機能可変情報処理回路の構成管理方法の他の態様では、構成管理情報は、回路構成情報に応じた回路構成での入出力信号の制御を定義した入出力制御情報と、回路構成情報を識別する第1の構成識別情報とをさらに有することを特徴とする。

本発明の機能可変情報処理回路の構成管理方法のその他の態様では、情報読み出しステップは、第1の構成識別情報に基づいて、記憶部から、命令群に対応する構成管理情報を読み出すことを特徴とする。

本発明の機能可変情報処理回路の構成管理方法のその他の態様では、回路構成を定義した回路構成情報に応じて、回路構成が変更可能な機能可変情報処理回路の構成管理方法であって、上記回路構成情報と、上記回路構成情報に応じた回路構成での入出力信号の制御を定義した入出力制御情報と、上記回路構成情報を識別する第1の構成識別情報とを有する構成管理情報、および複数の上記構成識別情報が順序付けられて組となった構成識別情報群と、上記構成識別情報群を識別する第2の構成識別情報とを有する構成順序情報が記憶されている記憶部から、コンピュータ言語で記述された命令群に対応する上記構成順序情報を読み出し、さらに読み出した構成順序情報に基づいて、順序に従い複数の構成管理情報を読み出す情報読み出しステップと、上記情報読み出しステップにより上記構成管理情報を読み出す毎に、読み出した構成管理情報に従って、上記機能可変情報処理回路の回路構成を変更して、上記命令群の処理を実行する処理実行ステップとを有することを特徴とする。

上記のように構成した本発明によれば、コンピュータ言語で記述された命令群の処理を、ハードウェアである機能可変情報処理回路による処理にリアルタイムに置き換えることが可能になるとともに、システムの仕様に特化した回路構成で処理を行うことが可能になり、処理の実行を高速化し、かつ、コンピュータ言語で記述された命令群の処理の検証時間を短縮することができ、ソフトウェア開発を短期間化および高効率化することができる。

図面の簡単な説明

図 1 は、第 1 の実施形態による機能可変情報処理回路の構成管理方式を適用したソフトウェアアクセラレータの構成を示すブロック図である。

図 2 は、メモリ 13 に記憶されている構成管理情報群を構成する構成管理情報の詳細な構成を示す図である。

図 3 は、メモリ 13 に記憶されている構成管理情報群 31 を示す図である。

図 4 は、第 1 の実施形態における構成管理装置 11 の処理動作を示すフローチャートである。

図 5 は、ソフトウェアアクセラレータ 17 をコンピュータと通信可能なように接続して使用するシステムの一構成例を示す図である。

図 6 A は、メモリ 53 に記憶されているソフトウェア 61 を示す図である。

図 6 B は、ソフトウェアアクセラレータ 17 内のメモリ 13 に記憶されている構成管理情報群 62 を示す図である。

図 7 は、第 1 の実施形態におけるソフトウェアアクセラレータ 17 とコンピュータとを通信可能なように接続したシステムの動作を示すフローチャートである。

図 8 は、第 2 の実施形態による機能可変情報処理回路の構成管理方式を適用したシステムの構成例を示すブロック図である。

図 9 は、第 3 の実施形態におけるメモリ 13 に記憶されている構成管理情報群の中の 1 つの構成管理情報の詳細な構成を示す図である。

図 10 は、第 3 の実施形態におけるメモリ 13 に記憶されている構成管理情報群 101 を示す図である。

発明を実施するための最良の形態

以下に実施例をあげ、本発明を詳細に説明するが、本発明がこれら実施例に限定されないことは言うまでもない。しかし、本発明の特徴、性質、および種々の利益は、添付図面と次の好適な実施例の詳細な説明によってもっと明確になるであろう。

以下、本発明の実施形態を図面に基づいて説明する。

(第 1 の実施形態)

本発明の第 1 の実施形態について、構成および動作について説明する。

図 1 は、本発明の第 1 の実施形態による機能可変情報処理回路の構成管理方式を適用したソフトウェアアクセラレータ 17 の基本部分の構成を示すブロック図である。

図 1 において、ソフトウェアアクセラレータ 17 は、構成管理装置 11、FPGA (Field Programmable Gate Array) 12、メモリ 13、構成管理装置 11 と外部 (図示しない外部装置等) とにそれぞれ接続された信号線群 14、構成管理装置 11 と FPGA 12 とにそれぞれ接続された信号線群 15、構成管理装置 11 とメモリ 13 とに接続された信号線群 16 から構成される。

構成管理装置 11 については、本発明の所定の望ましい構成管理方式を実現する限り、半導体演算回路により構成しても良いし、所定のソフトウェアを CPU に供給し、上記ソフトウェアに従い動作する CPU により構成しても良い。

FPGA 12 については、回路構成が可変な機能可変情報処理回路の一例であり、回路構成が可変な情報処理回路であれば FPGA であっても、CPU、PLD (Programmable Logic Device) であっても良いことは言うまでもない。また、FPGA 12 は、一つであっても複数個であっても良い。

メモリ 13 については、後述する構成管理情報群を記憶するための装置の一例である。なお、上記メモリ 13 は、例えば SRAM、ハードディスク、CD-ROM、ROM、その他の記憶装置で実現されていても良いことは言うまでもない。

図 2 は、上記図 1 に示したメモリ 13 に記憶されている構成管理情報群を構成する構成管理情報の詳細な構成を示す図である。

図 2 に示すように構成管理情報 24 は、回路構成情報 21、入出力制御情報 22 および構成識別情報 23 からなる。

回路構成情報 21 は、FPGA 12 の回路構成や配線構成を示す情報であり、FPGA 12 の機能を変更するための情報である。入出力制御情報 22 は、回路構成情報 21 に従って FPGA 12 により構成された機能回路に、信号線群 15 を介してデータや命令等の信号を入出力する際に、信号の制御に必要となるパラメータや設定値などの情報である。構成識別情報 23 は、メモリ 13 に記憶され

た複数の構成管理情報の中から特定の構成管理情報を検索する際に用いる情報である。

なお、図 2 に示した例では、構成管理情報として回路構成情報 2 1、入出力制御情報 2 2、構成識別情報 2 3のみを使用しているが、この他に、例えば F P G A の種類などの付加的な情報を加えても良いことは言うまでもない。

図 3 は、メモリ 1 3 に記憶されている構成管理情報群 3 1 を示す図である。

図 3 において、構成管理情報群 3 1 は、第 1 の構成管理情報 3 2、第 2 の構成管理情報 3 3 および第 3 の構成管理情報 3 4 により構成され、上記第 1 ～第 3 の構成管理情報 3 2 ～3 4 は、上記図 2 に示したように回路構成情報 2 1、入出力制御情報 2 2、構成識別情報 2 3 をそれぞれ有する。

メモリ 1 3 に記憶されている構成管理情報群 3 1 において、構成管理情報群 3 1 を構成する任意の構成管理情報 3 2 ～3 4 は信号線群 1 6 を介して構成管理装置 1 1 からアクセス可能になっており、さらに構成管理情報 3 2 ～3 4 内の回路構成情報 2 1、入出力制御情報 2 2 および構成識別情報 2 3 に対して選択的にアクセスすることも可能である。

例えば、構成管理装置 1 1 は、信号線群 1 6 を介して構成管理情報 3 2 の全ての情報（回路構成情報 2 1、入出力制御情報 2 2 および構成識別情報 2 3）にアクセスして全ての情報を読み出すことも可能であるし、構成管理情報 3 2 内の構成識別情報 2 3 のみにアクセスして構成識別情報 2 3 のみを読み出すことも可能である。

また、構成管理装置 1 1 から信号線群 1 6 を介して、構成管理情報群 3 1 に対して新たに構成管理情報を追加することも可能である。ただし、メモリ 1 3 として C D - R O M などのように読み出し専用の記憶装置を用いた場合には、新たな構成管理情報を書き込むことができなくても良いことは言うまでもない。

また、メモリ 1 3 として C D - R O M などの記憶装置を用いた場合には、F P G A 1 2 の種類や構成に応じて構成管理情報群 3 1 を簡単に入れ替えることができる。ここでは、メモリ 1 3 として C D - R O M を用いた場合について説明しているが、これに限らずフレキシブルディスクやネットワーク等を介して入れ替えても良いことは言うまでもない。

なお、図 3 においては、3 つの構成管理情報 3 2 ～ 3 4 により構成される構成管理情報群 3 1 を示しているが、構成管理情報群 3 1 は複数の構成管理情報から構成されるものであり、3 つの構成管理情報に限定されるものでないことは言うまでもない。また、構成管理情報群 3 1 内での構成管理情報の並び方や順番などについても本発明を限定するものでないことは言うまでもない。

図 4 は、第 1 の実施形態における構成管理装置 1 1 の処理動作を示すフローチャートであり、上記図 4 に示す処理動作がソフトウェアアクセラレータ 1 7 が行う基本的な動作の一つである。

まず、ステップ S 4 1 にて、信号線群 1 4 を介して外部（図示しない外部装置等）から構成管理装置 1 1 に所望の構成識別情報を入力する。

ステップ S 4 2 にて、構成管理装置 1 1 は、上記ステップ S 4 1 において外部から入力された構成識別情報と、メモリ 1 3 に記憶されている構成管理情報群 3 1 を構成する構成管理情報の構成識別情報 2 3 とをそれぞれ比較する。これにより、構成管理装置 1 1 は、構成管理情報群 3 1 を構成する構成管理情報の中から、外部から入力された構成識別情報と一致する構成識別情報を有する構成管理情報を検索する。

ステップ S 4 3 にて、構成管理装置 1 1 は、上記ステップ S 4 2 において、外部から入力された構成識別情報と一致した構成識別情報を見つけると、その構成識別情報を有する構成管理情報の回路構成情報を読み出す。さらに、構成管理装置 1 1 は、信号線群 1 5 を介して読み出した回路構成情報を F P G A 1 2 に入力することにより、F P G A 1 2 の回路構成を変更させ、F P G A 1 2 の機能を変化させる。

ステップ S 4 4 にて、構成管理装置 1 1 は、外部から入力された構成識別情報と一致した構成識別情報を有する構成管理情報の入出力制御情報を読み出し、読み出した入出力制御情報に従って、信号線群 1 4 を介して外部から入力された信号を、信号線群 1 5 を介して F P G A 1 2 に出力する。また、このステップ S 4 4 にて、構成管理装置 1 1 は、信号線群 1 5 を介して F P G A 1 2 から入力された信号も、読み出した入出力制御情報に従って信号線群 1 4 を介して外部に出力する。

以上のように、構成管理装置 11 が上記図 4 に示す処理動作を行うことにより、外部からソフトウェアアクセラレータ 17 に対して、構成識別情報を指定し入力するだけでソフトウェアアクセラレータ 17 内の F P G A 12 の回路構成を変更して機能を変化させ、F P G A 12 にて所望のデータ処理を行うことが可能となる。

ここで、信号線群 14 を介して外部から構成管理装置 11 に入力する所望の構成識別情報のデータ形式と、メモリ 13 に記憶されている構成管理情報内の構成識別情報のデータ形式とは、外部から構成管理装置 11 に入力される構成識別情報に対して、メモリ 13 に記憶されている構成管理情報の 1 つが定まるように、一定の変換規則が定められていれば、必ずしも同じである必要はない。

図 5 は、上記図 1 に示したソフトウェアアクセラレータ 17 をコンピュータと通信可能なように接続して使用するシステムの一構成例を示す図である。

図 5 において、52 は C P U、53 はメモリ、54 は周辺回路であり、ソフトウェアアクセラレータ 17、C P U 52、メモリ 53、および周辺回路 54 は、信号線群 55 により互いに通信可能なように接続されている。

図 6 A は、上記図 5 に示したメモリ 53 に記憶されているソフトウェア 61 を示す図であり、図 6 B は、ソフトウェアアクセラレータ 17 内のメモリ 13 に記憶されている構成管理情報群 62 を示す図である。

図 6 A に示すソフトウェア 61 は、コンピュータ言語（例えば、C 言語等）で記述された命令群であり、例えば、3 つのまとまった一連の処理（処理 A 63、B 64、C 65）からなり、処理 A 63、処理 B 64、処理 C 65 の順に処理が実行されていくものとする。

また、図 6 B に示すソフトウェアアクセラレータ 17 内の構成管理情報群 62 は、構成管理情報 66 ~ 68 により構成されているとする。なお、構成管理情報の数は 3 つである必要はなく、この他にソフトウェア 61 と無関係な構成管理情報を含んでいても良いことは言うまでもない。

ここで、図 6 A に示す処理 A 63 は、上記図 5 に示した C P U 52 により実行される一連の命令群情報であり、図 6 B に示す構成管理情報 66 は、F P G A 12 にて実行される処理に必要な情報である。処理 A 63 に従って C P U 52 によ

り実行される処理Aと、構成管理情報66に従ってFPGA12により実行される処理とは、CPU52およびFPGA12によるそれぞれの処理結果として、同じものが得られるものとする。そこで、構成管理情報66内の構成識別情報には、処理Aを識別するための情報が格納されている。

また、同様に、処理B64と構成管理情報67、処理C65と構成管理情報68もそれぞれの処理結果として同じものが得られ、構成管理情報67、68の構成識別情報には、処理B、処理Cをそれぞれ識別するための情報が格納されている。

ここで、上記図5に示すシステムの動作について、図7に示すフローチャートを用いて説明する。

通常のコンピュータとしての動作においては、まず、CPU52は、メモリ53に記憶されているソフトウェア61内の処理A63を読み出し、読み出した処理A63に記述されている一連の命令群を順に実行する。

そして、CPU52は、処理A63～処理C65まで上記処理を繰り返すことによりソフトウェア61での処理が終了する。

一方、ソフトウェアアクセラレータ17を使用する場合には、まず、CPU52は、メモリ53に記憶されているソフトウェア61内の処理A63を読み出す(S71)。次に、CPU52は、ソフトウェアアクセラレータ17に処理Aを検索するための構成識別情報を供給し、ソフトウェアアクセラレータ17内の構成管理装置11は、メモリ13に記憶されている構成管理情報群62から供給された構成識別情報を有する構成管理情報を検索する(S72)。

ソフトウェアアクセラレータ17内の構成管理装置11は、供給された処理Aの構成識別情報を有する構成管理情報を見つけると、ソフトウェアアクセラレータ17にて処理可能であることになる。その上で、その処理Aをソフトウェアアクセラレータ17にて処理した方が良いか、CPU52にてソフトウェアにより処理した方が良いか、回路構成情報やデータの転送時間も含んだ処理時間や消費電力等を考慮して、例えば統計的に判断する。ソフトウェアアクセラレータ17にて処理することが適であると判断されれば、ソフトウェアアクセラレータ17にて処理すべきであることをCPU52に通知する(S73)。CPU52は、

ソフトウェアアクセラレータ 17 にて処理 A を処理すべきであることをソフトウェアアクセラレータ 17 から通知されると、CPU 52 にて処理 A を実行するのではなく、ソフトウェアアクセラレータ 17 にて処理 A を実行するように処理対象のデータを構成管理装置 11 に入出力させる (S 74)。

一方、ステップ S 73 において、CPU 52 は、ソフトウェアアクセラレータ 17 にて処理 A が処理不適であることをソフトウェアアクセラレータ 17 から通知されると、CPU 52 は通常通りソフトウェア 61 により処理 A を実行する (S 75)。

以下、処理 B 64、処理 C 65 についても、同様に繰り返し行う。

なお、ここでソフトウェアの読み出し (S 71)、検索指示 (S 72)、処理対象のデータの制御 (S 74) 等を CPU 52 が行わずに、ソフトウェアアクセラレータ 17 内の構成管理装置 11、上記図 5 に示した周辺回路 54 等で行っても良いことは言うまでもない。

以上、説明したように第 1 の実施形態によれば、従来 CPU にて実行されていたソフトウェアによる情報処理を、ハードウェアによる情報処理にリアルタイムに置き換えることが可能になる。また、ハードウェアによる情報処理においては、処理の並列性やバス幅などのアーキテクチャを考慮した回路設計により、システム開発者はシステムの仕様に特化した形で情報処理を行うことが可能になる。

これにより、情報処理の実行が高速化され、かつ、ソフトウェア開発期間の大部分を占めている検証時間を短縮することができる。したがって、上述した第 1 の実施形態によりソフトウェア開発を短期間化することができる。

(第 2 の実施形態)

次に、本発明の第 2 の実施形態について説明する。

図 8 は、本発明の第 2 の実施形態による機能可変情報処理回路の構成管理方式を適用したシステムの構成例を示すブロック図である。

図 8 において、81 はソフトウェアアクセラレータであり、上述した図 1 に示したソフトウェアアクセラレータ 17 と同様の内部構成となっている。82 は周辺回路であり、外部からの入出力回路や各種制御回路等により構成される。ソフトウェアアクセラレータ 81 と周辺回路 82 とは信号線群 83 により互いに通信

可能なように接続されている。

ソフトウェアアクセラレータ 8 1 内の構成管理情報群は、周辺回路 8 2 を制御したり、周辺回路 8 2 から供給されるデータを処理したりするための構成管理情報等の動作に必要な最低限の構成管理情報により構成されている。このように、構成管理情報を必要とされる分だけ用意しておくことで、ソフトウェアアクセラレータ 8 1 内の記憶領域を浪費せず、記憶領域を有効に利用することができる。

また、必要とされる最低限の構成管理情報を用いることで、ソフトウェアアクセラレータ 8 1 内の F P G A 1 2 は、機能管理装置によりソフトウェアアクセラレータ 8 1 内のメモリから読み出され供給された構成管理情報に従って、機能（回路構成）を切り替えることにより、ある時間はまったく使われないといったような無駄な回路が構成されることがなくなる。

これは、ソフトウェアアクセラレータ 8 1 内の F P G A 1 2 が、一つしかない場合でも同様な効果が得られる。F P G A 1 2 が複数の場合でも得られることは言うまでもない。

以上、説明したように第 2 の実施形態によれば、第 1 の実施形態により得られる効果に加え、全ての処理をハードウェアにより実行することにより、ソフトウェア開発における高効率設計ができる。

（第 3 の実施形態）

次に、本発明の第 3 の実施形態について説明する。

なお、以下に説明する本発明の第 3 の実施形態において、ソフトウェアアクセラレータ、およびソフトウェアアクセラレータをコンピュータと通信可能なように接続して使用するシステムの構成は、上記図 1、図 5 にそれぞれ示した構成と同様な構成であるので、重複する説明は省略する。

図 9 は、第 3 の実施形態におけるメモリ 1 3 に記憶されている構成管理情報群の中の 1 つの構成管理情報の詳細な構成を示す図である。

図 9 に示すように、構成管理情報 9 1 は、構成識別情報 9 2 と、一連の構成識別情報 9 3 ～ 9 5 からなり、上述した第 1 の実施形態にて示した構成管理情報 2 4 と情報（データ）の形状を合わせるために、構成識別情報 9 2 と構成識別情報 9 3 の間には無効な空き情報 9 6 を挿入している。

なお、図 9 において、一連の構成識別情報 9 3～9 5 として 3 つの構成識別情報を持つ構成管理情報 9 1 を一例として示しているが、一連の構成識別情報の数は 3 つに限定されるものでないことは言うまでもない。また、構成管理情報 9 1 に、FPGA の種類などの付加的な情報を加えても良いことは言うまでもない。

図 1 0 は、第 3 の実施形態におけるメモリ 1 3 に記憶されている構成管理情報群 1 0 1 を示す図である。

図 1 0 において、構成管理情報群 1 0 1 は、第 1 の構成管理情報 1 0 2、第 2 の構成管理情報 1 0 3、第 3 の構成管理情報 1 0 4 および第 4 の構成管理情報 1 0 5 により構成される。上記第 1～第 3 の構成管理情報 1 0 2～1 0 4 は、上述した第 1 の実施形態において図 6 B に示した構成管理情報 6 6～6 8 と同様の構成管理情報であり、重複する説明は省略する。

構成管理情報 1 0 5 は、処理 A～処理 C により実行される、まとまった処理 D を一つの構成管理情報として登録することを可能にしている。例えば、構成管理情報 1 0 5 は、処理 D の構成識別情報 1 0 6、処理 A の構成識別情報 1 0 7、処理 B の構成識別情報 1 0 8 および処理 C の構成識別情報 1 0 9 により構成される。

例えば、処理 A→処理 B→処理 C という順番で実行される処理を処理 D とした構成管理情報 1 0 5 に従い、FPGA 1 2 にて処理を実行する場合には、「処理 A の構成識別情報を持った構成管理情報 1 0 2」→「処理 B の構成識別情報を持った構成管理情報 1 0 3」→「処理 C の構成識別情報を持った構成管理情報 1 0 4」という順番で構成管理情報に従い、処理が FPGA 1 2 にて実行されていく。すなわち、外部から構成管理装置 1 1 に処理 D の構成識別情報 1 0 6 が入力されると、構成管理装置 1 1 は、処理 D の構成識別情報 1 0 6 を有する構成管理情報 1 0 5 を検索して読み出す。そして、構成管理装置 1 1 は、読み出した構成管理情報 1 0 5 に記述されている処理 A の構成識別情報 1 0 7、処理 B の構成識別情報 1 0 8 および処理 C の構成識別情報 1 0 9 を有する第 1～第 3 の構成管理情報 1 0 2～1 0 4 を順に検索して読み出し、第 1～第 3 の構成管理情報 1 0 2～1 0 4 に従って FPGA 1 2 にて処理を実行する。

以上、説明したように第 3 の実施形態によれば、構成管理情報に従って、複数の構成管理情報を呼び出すようにすることにより、複数の小さな処理をまとめて

大きな処理とすることができるので、例えば、常に所定の順番で行われる複数の処理を1つの処理として扱うことができ、システム開発者は開発を容易に行うことができ、ソフトウェアの短期間開発が可能になる。

なお、上記図10においては、メモリに記憶されている構成管理情報群101は、4つの構成管理情報102～105により構成されているが、構成管理情報群101は複数の構成管理情報から構成されるものであり、4つの構成管理情報に限定されるものでないことは言うまでもない。

産業上の利用可能性

以上のように、本発明によれば、従来CPUにて命令群を順次実行することにより行われていたソフトウェアによる情報処理を、ハードウェアによる情報処理にリアルタイムに置き換え、ハードウェアを用いて情報処理を実行可能にし、さらに開発仕様に特化したハードウェアの回路構成を用いて情報処理を実行可能にすることにより、情報処理の実行を高速化できるとともに、開発したソフトウェアの検証時間を短縮することができる。したがって、ソフトウェアの短期間開発が可能になり、また、ソフトウェアの高効率設計が可能になる。

請 求 の 範 囲

1. 回路構成を定義した回路構成情報に応じて、回路構成が変更可能な機能可変情報処理回路の構成管理方式であって、

上記回路構成情報を有する構成管理情報を記憶する記憶部と、

上記記憶部に記憶されている構成管理情報の中から、コンピュータ言語で記述された命令群に対応する上記構成管理情報を読み出す情報読み出し部と、

上記情報読み出し部により読み出した構成管理情報に従って、上記機能可変情報処理回路の回路構成を変更し、上記機能可変情報処理回路にて上記命令群の処理を実行する処理実行部とを有することを特徴とする機能可変情報処理回路の構成管理方式。

2. 上記構成管理情報は、上記回路構成情報に応じた回路構成での入出力信号の制御を定義した入出力制御情報と、上記回路構成情報を識別する第1の構成識別情報とをさらに有することを特徴とする請求項1に記載の機能可変情報処理回路の構成管理方式。

3. 上記情報読み出し部は、上記第1の構成識別情報に基づいて、上記記憶部に記憶されている構成管理情報の中から、上記命令群に対応する上記構成管理情報を読み出すことを特徴とする請求項2に記載の機能可変情報処理回路の構成管理方式。

4. 上記記憶部は、上記命令群に対して複数の異なる上記構成管理情報で構成された構成管理情報群を上記命令群毎に記憶し、

上記情報読み出し部は、上記記憶部から上記命令群毎に対応する構成管理情報群を読み出すことを特徴とする請求項2に記載の機能可変情報処理回路の構成管理方式。

5. 複数の上記第1の構成識別情報が順序付けられて組となった構成識別情報群

と、上記構成識別情報群を識別する第2の構成識別情報とを有する構成順序情報を記憶する記憶部を有し、

上記情報読み出し部は、上記記憶部から上記命令群毎に対応する構成順序情報を読み出し、さらに読み出した構成順序情報に基づいて、順序に従い複数の構成管理情報を読み出すことを特徴とする請求項2に記載の機能可変情報処理回路の構成管理方式。

6. 上記処理実行部は、上記情報読み出し部により上記構成管理情報を読み出す毎に、読み出した構成管理情報に従って、上記機能可変情報処理回路の回路構成を変更し、上記機能可変情報処理回路にて上記命令群の処理を実行することを特徴とする請求項5に記載の機能可変情報処理回路の構成管理方式。

7. 上記機能可変情報処理回路は1つであることを特徴とする請求項1に記載の機能可変情報処理回路の構成管理方式。

8. 回路構成を定義した回路構成情報に応じて、回路構成が変更可能な機能可変情報処理回路の構成管理方法であって、

上記回路構成情報を有する構成管理情報が記憶されている記憶部から、コンピュータ言語で記述された命令群に対応する上記構成管理情報を読み出す情報読み出しステップと、

上記情報読み出しステップにより読み出した構成管理情報に従って、上記機能可変情報処理回路の回路構成を変更して、上記命令群の処理を実行する処理実行ステップとを有することを特徴とする機能可変情報処理回路の構成管理方法。

9. 上記構成管理情報は、上記回路構成情報に応じた回路構成での入出力信号の制御を定義した入出力制御情報と、上記回路構成情報を識別する第1の構成識別情報とをさらに有することを特徴とする請求項8に記載の機能可変情報処理回路の構成管理方法。

10. 上記情報読み出しステップは、上記第1の構成識別情報に基づいて、上記記憶部から、上記命令群に対応する上記構成管理情報を読み出すことを特徴とする請求項9に記載の機能可変情報処理回路の構成管理方法。

11. 回路構成を定義した回路構成情報に応じて、回路構成が変更可能な機能可変情報処理回路の構成管理方法であって、

上記回路構成情報と、上記回路構成情報に応じた回路構成での入出力信号の制御を定義した入出力制御情報と、上記回路構成情報を識別する第1の構成識別情報とを有する構成管理情報、および複数の上記構成識別情報が順序付けられて組となった構成識別情報群と、上記構成識別情報群を識別する第2の構成識別情報とを有する構成順序情報が記憶されている記憶部から、コンピュータ言語で記述された命令群に対応する上記構成順序情報を読み出し、さらに読み出した構成順序情報に基づいて、順序に従い複数の構成管理情報を読み出す情報読み出しステップと、

上記情報読み出しステップにより上記構成管理情報を読み出す毎に、読み出した構成管理情報に従って、上記機能可変情報処理回路の回路構成を変更して、上記命令群の処理を実行する処理実行ステップとを有することを特徴とする機能可変情報処理回路の構成管理方法。

図 1

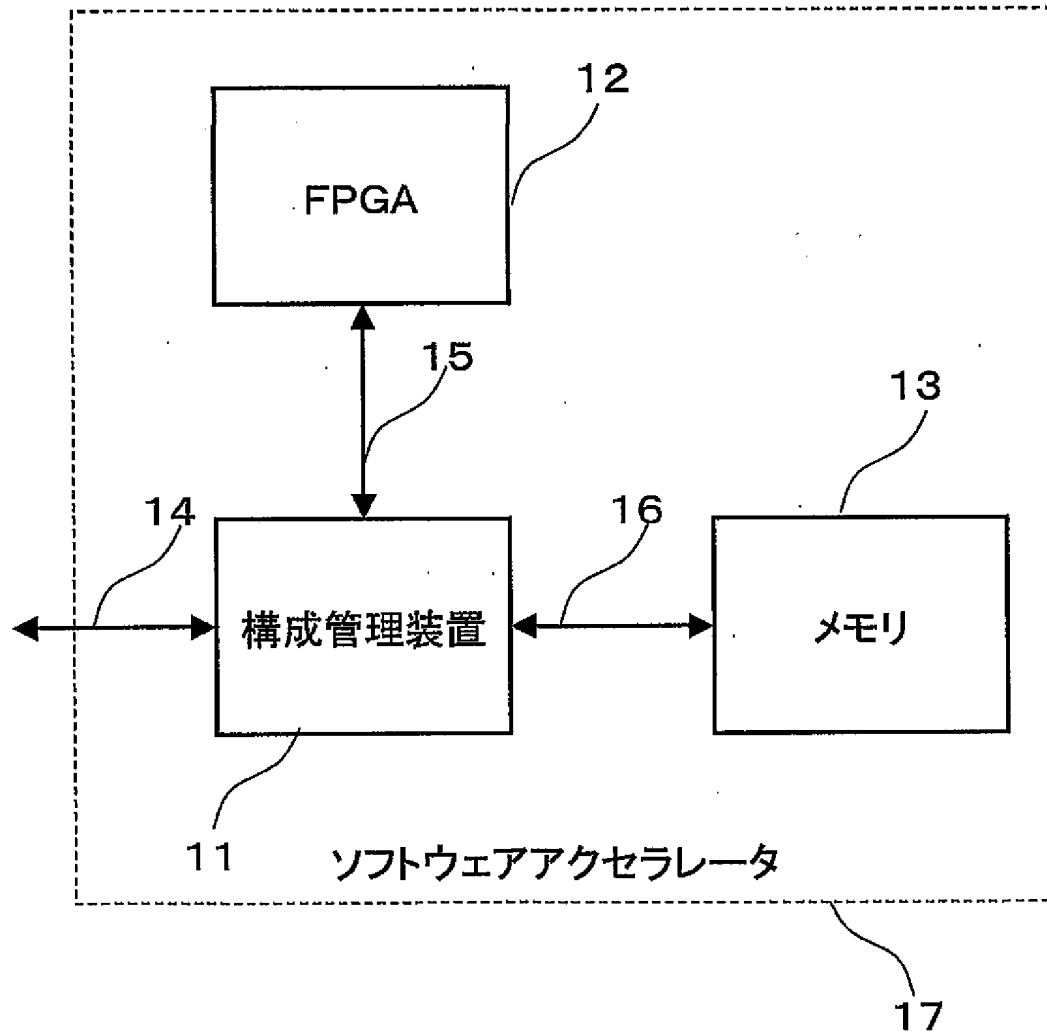


図 2

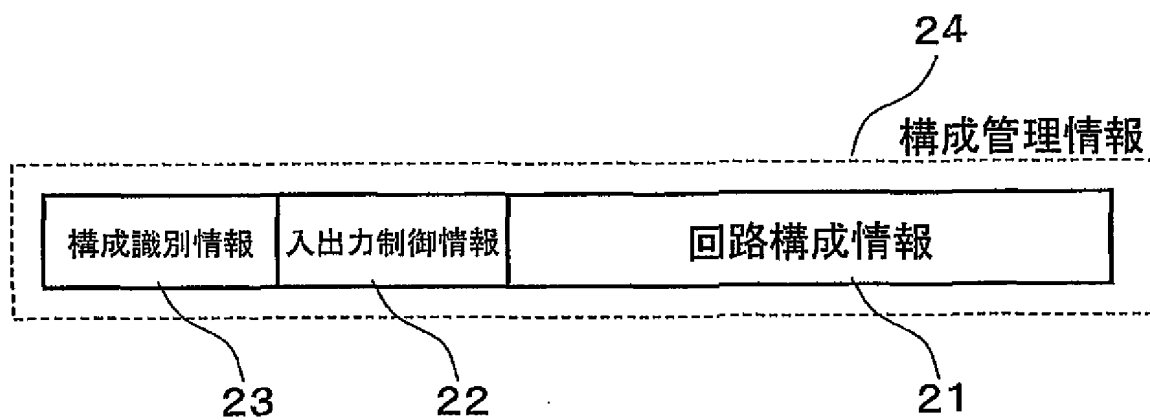


図 3

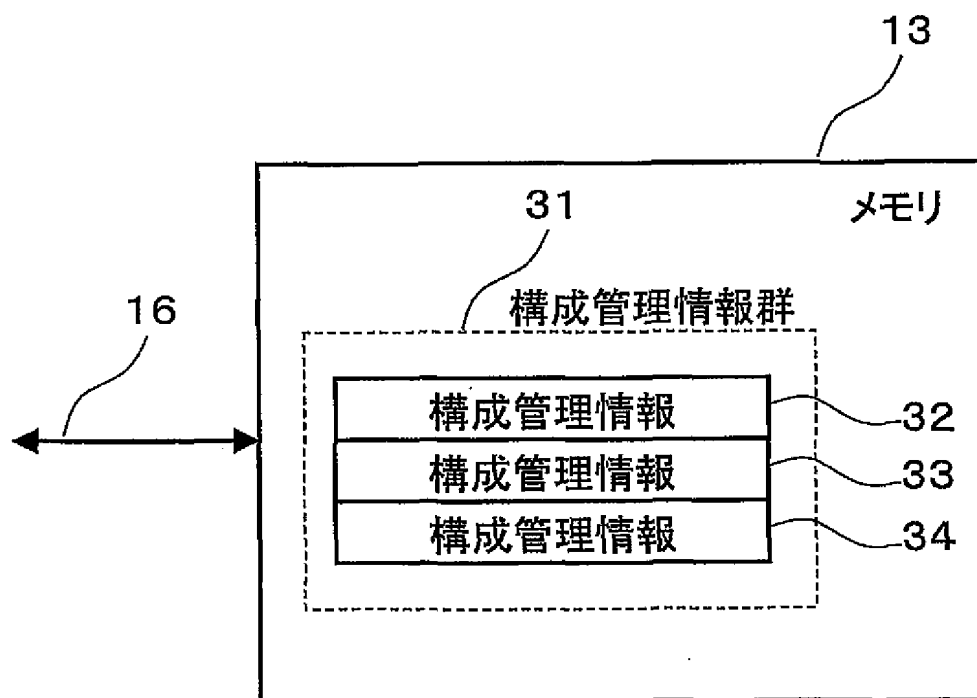


図 4

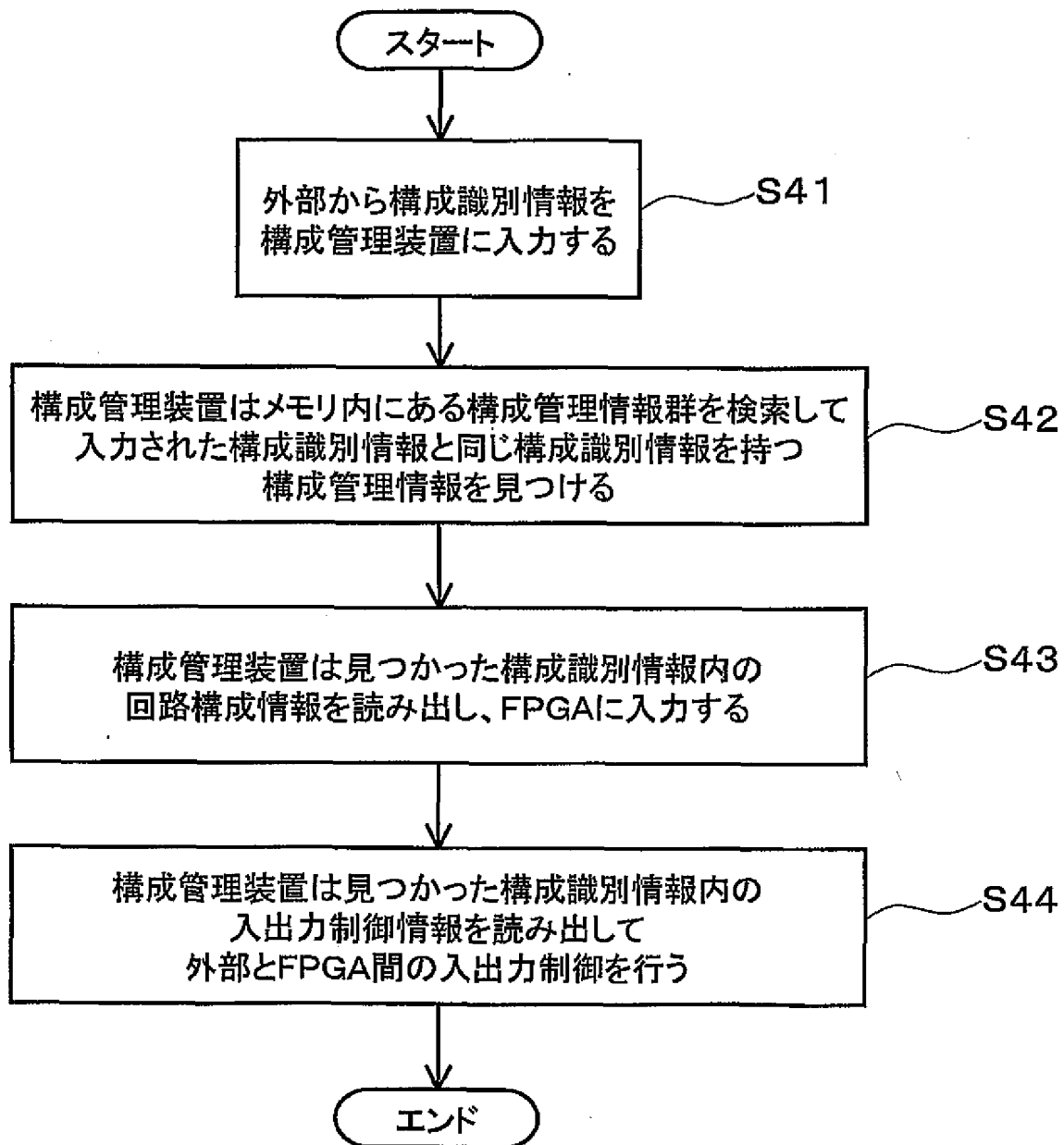


図 5

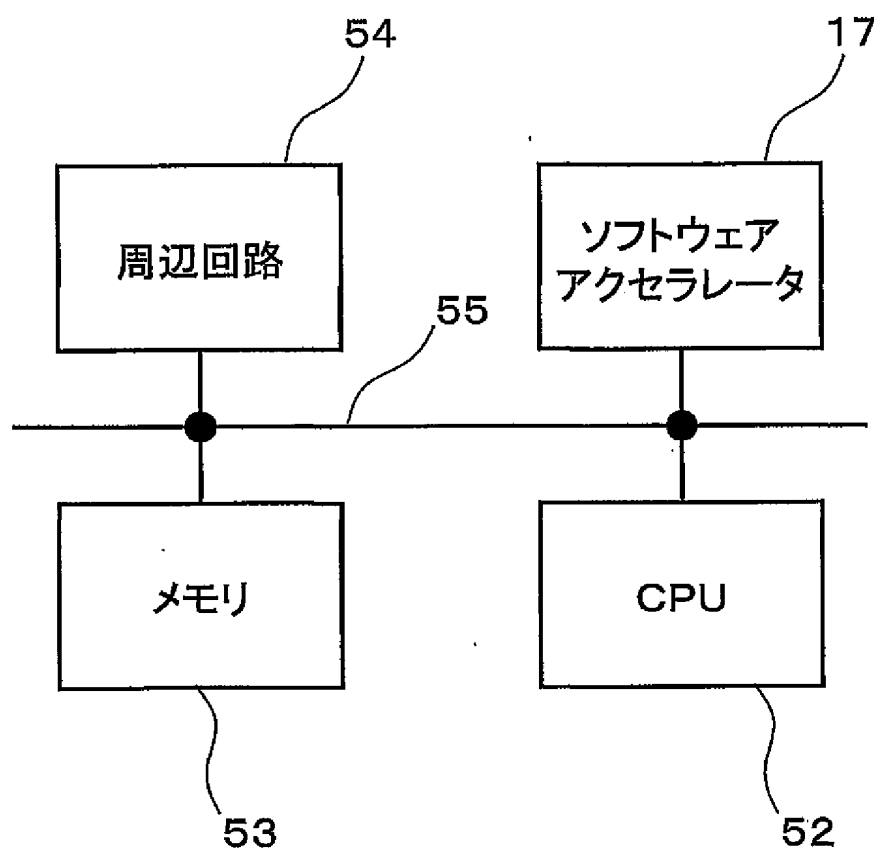


図 6 A

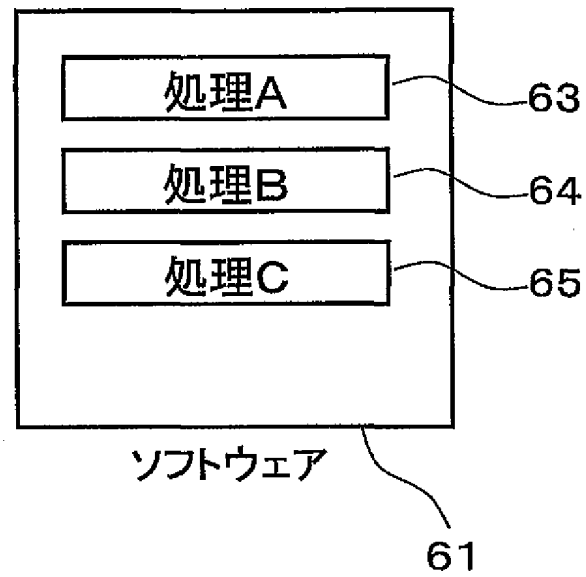


図 6 B

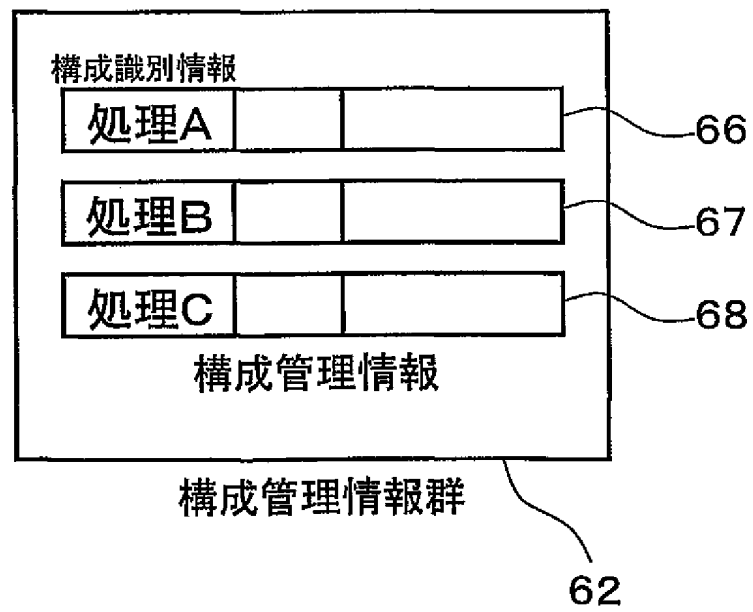


図 7

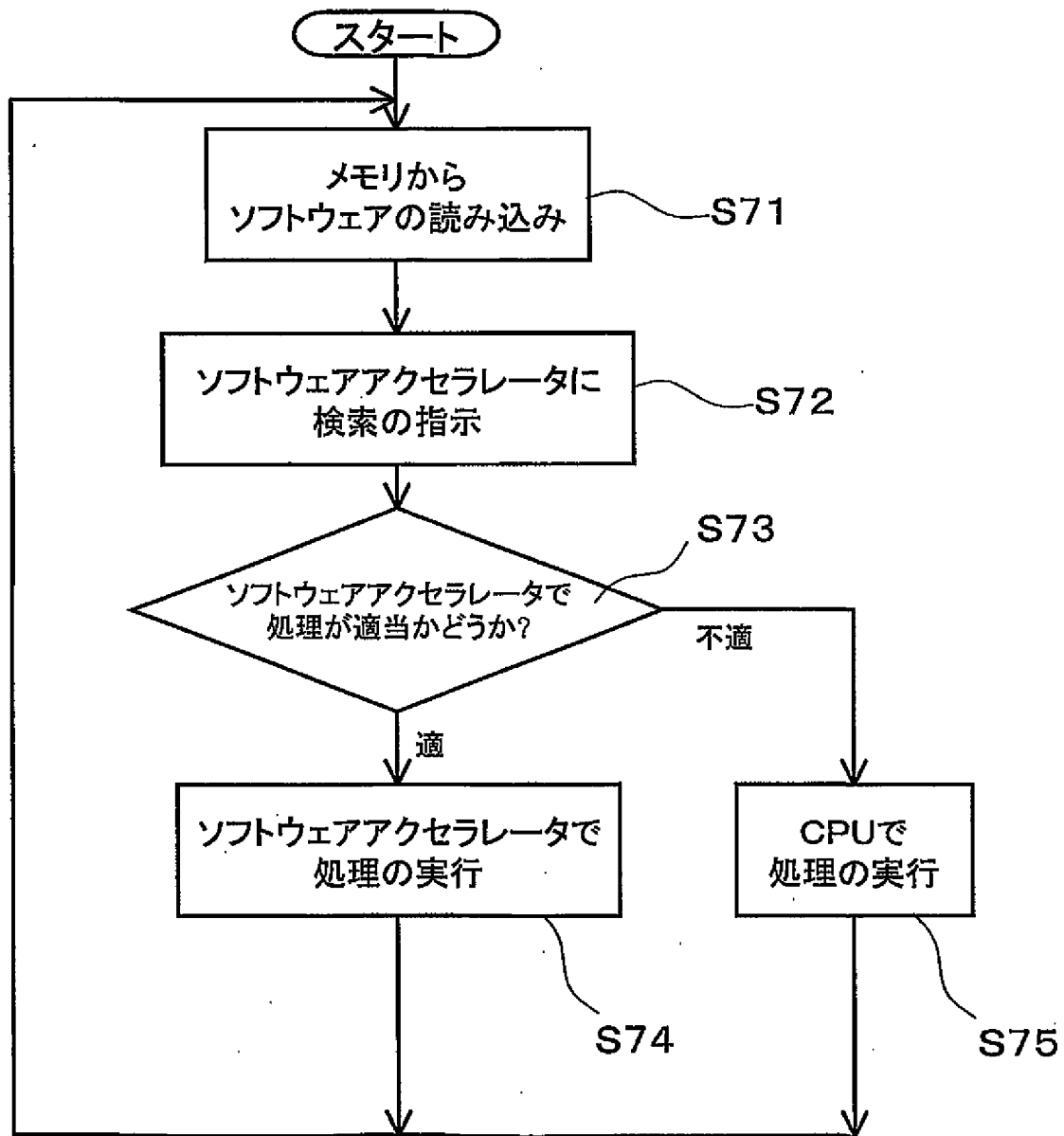


図 8

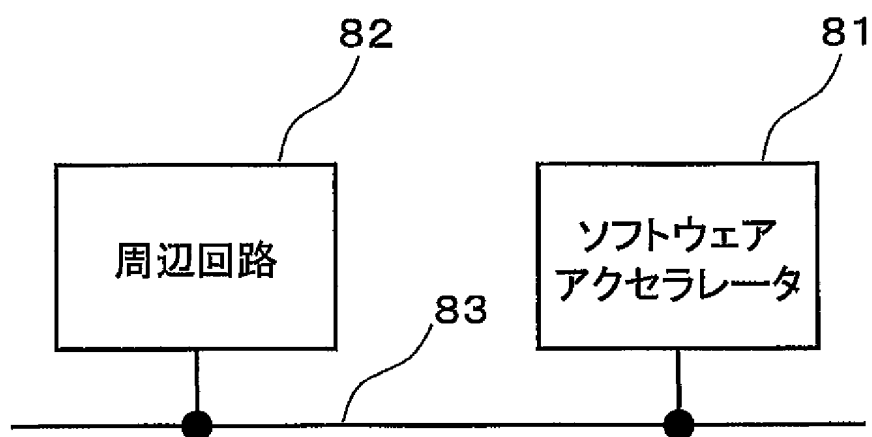


図 9

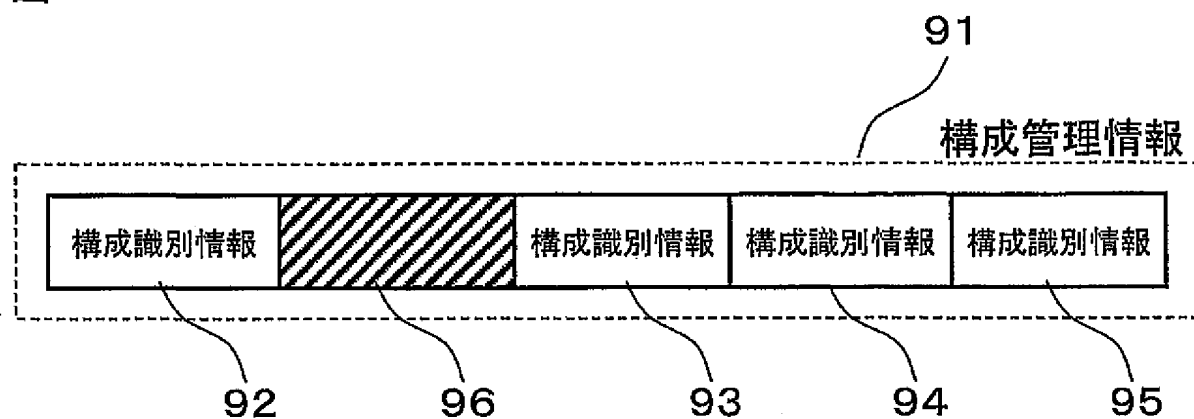
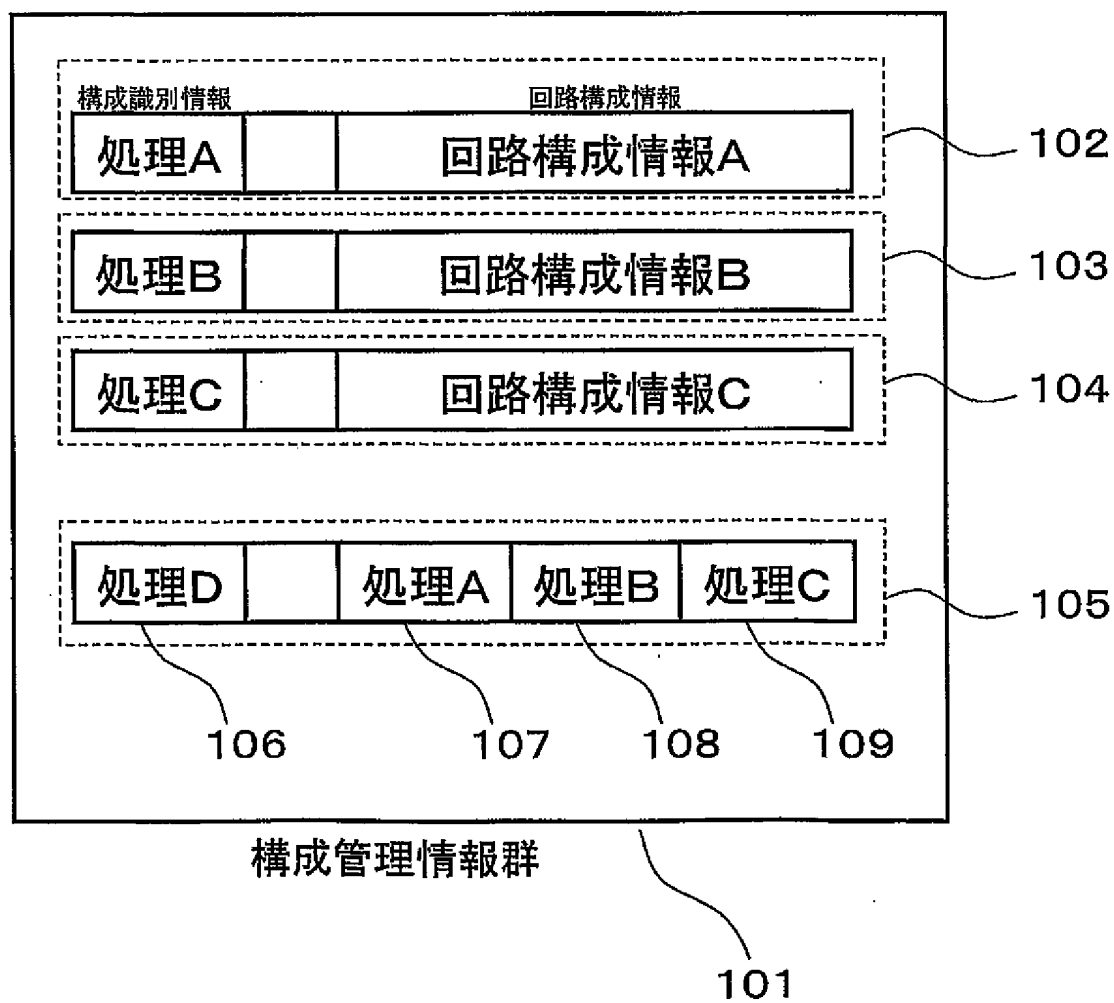


図 10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/04758

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G06F9/06, G06F11/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G06F9/06, G06F11/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2001

Kokai Jitsuyo Shinan Koho 1971-2001 Toroku Jitsuyo Shinan Koho 1994-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-89963 A (Canon Inc.), 31 March, 2000 (31.03.00) (Family: none)	1-4, 7-10
X A	JP 11-232079 A (Fuji Xerox Co., Ltd.), 27 August, 1999 (27.08.99) (Family: none)	1-4, 7-10 5, 6, 11
X	JP 4-314133 A (NEC Corporation), 05 November, 1992 (05.11.92) (Family: none)	1

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"B" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
29 August, 2001 (29.08.01)Date of mailing of the international search report
11 September, 2001 (11.09.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C17 G06F9/06, G06F11/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C17 G06F9/06, G06F11/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926年-1996年

日本国公開実用新案公報 1971年-2001年

日本国実用新案登録公報 1996年-2001年

日本国登録実用新案公報 1994年-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-89963 A (キャノン株式会社) 31. 3 月. 2000 (31. 03. 00) (ファミリーなし)	1-4, 7-10
X A	JP 11-232079 A (富士ゼロックス株式会社) 27. 8月. 1999 (27. 08. 99) (ファミリーなし)	1-4, 7-10 5, 6, 11
X	JP 4-314133 A (日本電気株式会社) 5. 11月. 1 992 (05. 11. 92) (ファミリーなし)	1

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

29. 08. 01

国際調査報告の発送日

11.09.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

漆原 孝治

5B

9366

電話番号 03-3581-1101 内線 3546